

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-302467

(43)Date of publication of application : 14.11.1995

(51)Int.Cl.

**G11B 20/10**

H03H 17/00

H03H 17/02

(21)Application number : 06-093215

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.05.1994

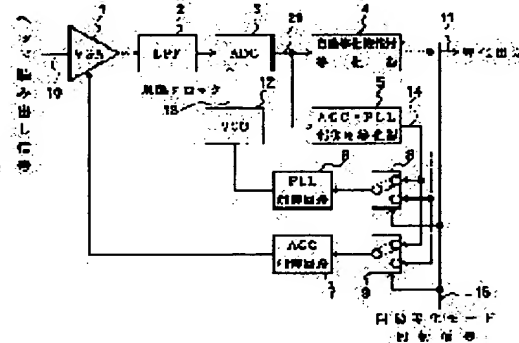
(72)Inventor : NITTA TOSHIHIRO  
MINOJIMA SATOSHI  
MIYASAKA HIDEKI  
OUCHI YASUhide  
SATO NAOKI  
TAKASHI TERUMI

**(54) WAVEFORM EQUALIZING CHANNEL**

**(57)Abstract:**

**PURPOSE:** To stably obtain an optimized characteristic even in the case tap coefficients are made asymmetrical by controlling an automatic gain loop and a phase synchronizing loop with the equalization output of the equalizer for AGC and PLL controls whose equalization characteristic is fixed.

CONSTITUTION: Since an equalizer for AGC and PLL controls 5 has a fixed equalization characteristic, a correlation among a tap coefficient correction, the phase synchronizing loop and the automatic gain control loop is not present. Consequently, the phase synchronizing loop and the automatic gain control loop are stably operated and the tap coefficient correction in the automatic equalization mode of an equalizer with an automatic equalization function 4 can be stably performed. Since tap coefficient values  $h_1$ ,  $h_2$  and  $h_4$ ,  $h_5$  of the front and rear of the tap coefficient value  $h_3$  of a center tap are optimally set in accordance with, for example, asymmetries of the front and rear positions of the peak position of the waveform of an input signal in the equalizer with the automatic equalization function 4 in which the tap coefficient correction is performed in such a manner, a sufficient equalization characteristic can be obtained even though the waveform is asymmetrical in the front and rear positions of the peak position of the input signal and the input of the equalizer is phasically modulated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



【特許請求の範囲】

【請求項1】 自動等化機能を有する第1の等化器と、自動利得制御ループと、位相同期ループを含む波形等化チャンネルであって、固定の等化特性を有する第2の等化器を備え、前記自動利得制御ループおよび前記位相同期ループの制御を前記第2の等化器からの等化出力を用いて行うようにしたことを特徴とする波形等化チャンネル。

【請求項2】 前記第1の等化器は、各々の係数値を動的に変更することが可能な複数のタップを備えたFIR等化器と、複数の前記タップの各々に設定される前記係数値を算出する係数補正部とからなり、複数の前記タップの一つにおける前記係数値を固定し、前記係数補正部は、係数値が固定された前記タップに対する係数補正値を用いて等化出力の期待値に対する補正を行うことにより、前記係数値が可変な他の前記タップに設定すべき係数補正値を決定して自動等化を行うことを特徴とする請求項1記載の波形等化チャンネル。

【請求項3】 前記第1の等化器は、各々の係数値を変更することが可能な複数のタップを備えたFIR等化器と、複数の前記タップの各々に設定される前記係数値を算出する係数補正部とからなり、複数の前記タップの一つにおける前記係数値を固定し、前記係数補正部は、係数値が固定された前記タップに対する係数補正値を用いて前記自動利得制御ループの目標振幅に対する補正を行うことにより、前記係数値が可変な他の前記タップに設定すべき係数補正値を決定して自動等化を行うことを特徴とする請求項1記載の波形等化チャンネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、波形等化技術に関し、特に、磁気ディスク、磁気テープ装置等のデータファイル装置における読み出し波形の波形等化等に適用して有効な技術に関する。

【0002】

【従来の技術】近年、コンピュータの外部記憶装置である磁気ディスク装置等では、安定化、無調整化を目的として、ディスクからの読み出し信号を等化するチャンネルに自動等化機能を内蔵することにより、自動的に最適等化特性を得ることが盛んに行われるようになった。

【0003】例えば、図7に示す従来例によれば、磁気ディスク装置において、読み出し信号等化チャンネルは、ブリアンプ、VGA（可変利得増幅器）、アナログ等化器、A/D変換器、3タップFIR等化器（コサイン等化器）および係数補正部（Kループ）により構成される自動等化機能付き等化器、ビタビ復号器、8-9デコーダ、クロック再生回路（図示せず）、利得調整回路（図示せず）により構成されている。

【0004】磁気ディスクから読み出した信号は、まずブリアンプにより増幅される。増幅された信号はVGAに入力され、VGAでは信号振幅が最適となるよう増幅

率が制御される。この信号は、アナログ等化器により等化された後、A/D変換器によりデジタル値に変換される。デジタル値に変換された信号は3タップFIR等化器により等化が行われ、等化結果はビタビ復号器により1、0の符号に変換されると共に、クロック再生回路、および、利得調整回路に入力され、A/D変換器のクロック再生、およびVGA利得調整が行われる。

【0005】係数補正部（Kループ）は、3タップFIR等化器の等化特性最適化のためのループであり、3タップFIR等化器出力の等化誤差が小さくなるよう、タップ係数補正が行われ、3タップFIR等化器の等化特性が最適化される。すなわち、3個あるタップ中、係数補正により変更可能なタップ係数は、両端の2個のみであり、かつその2個は、同一値Kなる値を取るよう制限が加えられる。また、中央タップの係数は、1に固定される。この結果、前記従来技術に開示された3タップFIR等化器の振幅特性は、常に余弦特性を持つ。また直流ゲインはタップ係数Kの値により変動するが、この変動分は、利得調整回路により補償されている。

【0006】

【発明が解決しようとする課題】上記従来技術では、3タップFIR等化器は余弦特性を示すような制限のもとに、等化特性の最適化が行われる。このため、波形等化の際の位相特性は、常に直線特性となる。よって、たとえばMR（磁気抵抗効果素子）ヘッド等からの再生信号のように波形がピーク位置の前後で非対称で、等化器入力に位相的に変調を受けている場合には、十分な等化特性を得ることが困難であった。

【0007】本発明の目的は、タップ係数を非対称化した場合においても安定に最適等化特性を得ることが可能な波形等化技術を提供することにある。

【0008】本発明の他の目的は、安定な係数補正動作をより少ない回路規模で実現することが可能な波形等化技術を提供することにある。

【0009】

【課題を解決するための手段】等化誤差の小さい等化特性を実現するには、タップ係数値の対称化の制約をはずし、タップ係数値の非対称化によって位相等化特性を持たせることが考えられる。本出願の発明者らは、このような場合クロック再生回路および、利得調整回路は、等化出力により制御されるので、係数補正動作とクロック再生回路、および利得調整回路それぞれの動作が干渉しあい、等化チャンネルとして安定動作を確保することが困難となることを見いだした。

【0010】そこで、本発明では、自動等化機能付き等化器（第1の等化器）とは別に、固定の等化特性を有するAGC・PLL制御用等化器（第2の等化器）を設け、自動等化中は、クロック再生回路（位相同期ループ）、および利得調整回路（自動利得制御ループ）を、前述のAGC・PLL制御用等化器の等化出力を用いて

行うこととした。

【0011】また、回路量を削減するために、自動等化機能付き等化器として、1タップの係数値を固定化したFIR等化器としてもよい。その場合は、上記手段が適用できるよう、係数補正手段に等化誤差算出に用いる期待値をタップ係数補正ごとに適応的に変化させる機能、あるいは、利得調整回路における目標振幅値をタップ係数補正ごとに適応的に変化させる機能を設ける。

【0012】

【作用】本発明に係るAGC・PLL制御用等化器の等化出力は、自動等化時、クロック再生回路、および利得調整回路に作用し、A/Dサンプリングクロック制御、および、VGAに於ける利得制御を行うための入力となる。自動等化機能付き等化器は、本条件で設定されるサンプリングクロック位相、およびVGA利得のもとで、最適化されるよう係数補正動作を行う。本構成とすることにより、係数補正動作、クロック再生回路、および利得調整回路の、それぞれの動作の干渉を除去し、自動等化の安定動作を確保することができる。

【0013】また、等化誤差算出に用いる期待値をタップ係数補正ごとに適応的に変化させる機能は、1タップ係数を固定値とする自動等化機能付き等化器における等化誤差算出部（係数補正部）に作用する。等化特性補正時、利得調整回路はAGC・PLL制御用等化器の等化出力により行うため、AGC・PLL制御用等化器の直流ゲインと、自動等化機能付き等化器の直流ゲインの違いにより、自動等化機能付き等化器の等化出力の振幅が期待値に対してずれる。本機能は、期待値をタップ係数補正ごとに適応的に補正することにより、等化誤差算出結果の誤差を補償するものである。

【0014】また、前記等化誤差算出結果の誤差を補償する他の手段として、利得調整回路における目標振幅値をタップ係数補正ごとに適応的に変化させる機能は、利得調整回路に作用し、AGC・PLL制御用等化器の直流ゲインと、自動等化機能付き等化器の直流ゲインの違いにより発生する、自動等化機能付き等化器の等化出力の振幅の期待値に対するずれを、利得調整回路における目標振幅値をタップ係数補正ごとに適応的に変化させることにより、等化誤差算出結果の誤差を補償するものである。

【0015】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0016】（実施例1）図1は、本発明の一実施例である波形等化チャネルの構成の一例を示す概念図であり、図2は、その一部の構成をさらに詳細に例示した概念図である。また、図5は、本実施例の波形等化チャネルを備えたデータファイル装置の側断面図であり、図6は、その平断面図である。なお、以下の説明では図中同一あるいは相当する部位については、同一符号で示す。

【0017】まず、図5を参照しながら、本実施例のデータファイル装置について説明する。全体を破線で囲んで示すデータファイル装置101は、制御ユニット100とともに外部記憶装置を構成している。本実施例の場合、データファイル装置101は、たとえば、磁気ディスク記憶装置102により具現化されている。しかし、本発明の利用においては、磁気ディスク記憶装置102からなるデータファイル装置101に限定されるものではなく他の磁気記憶媒体を用いたデータファイル装置101に適用することも可能である。

【0018】図5および図6においては、磁気ディスク記憶装置102は、磁気記録可能な記録面103を有するディスク104を単一あるいは複数そなえ、ディスク104は、ディスク駆動モータ105により回転可能な構成としている。各ディスク104上のデータ情報は、記録面103上を横切るように移動可能なヘッド106によって、読み出し、書き込みを行う。なお、データ情報の読み出し、書き込み時においては、ディスク駆動モータ105を回転させディスク104を回転状態としておく。各ヘッド106は、アーム107に取り付けられ、各アーム107は、ピボット軸113により支持され同時に駆動するようにする。これらのアームのうち1つは、ヘッド駆動モータ109によりピボット軸113を駆動できるよう、延長アーム108を有する。ヘッド駆動モータ109は、回転トルクを伝えるための伝達アーム110を有しており、伝達アーム110を介してヘッド駆動モータ109の回転トルクが延長アーム108へ伝達される。ここで、ヘッド駆動モータ109は、ヘッド106が記録面103に対し所望の位置に移動するように動作上制御される。ディスク駆動モータ105、ヘッド駆動モータ109の動作制御は、制御ユニット100が発生する回転制御信号111、位置制御信号112により制御される。

【0019】図1に例示される本実施例の波形等化チャネルにおいて、1は可変利得アンプ（VGA）、2はローパスフィルタ（LPF）、3はA/Dコンバータ（ADC）、4は補正動作有無のモード切換え可能な自動等化機能付き等化器、5はAGC・PLL制御用等化器、6はPLL制御回路、12は電圧制御発振器（VCO）、7はAGC制御回路、8はPLL制御回路6に対する入力を自動等化機能付き等化器4の等化出力11とするか、AGC・PLL制御用等化器5の等化出力14とするかの切換え器、9はAGC制御回路7に対する入力を自動等化機能付き等化器4の等化出力11とするか、AGC・PLL制御用等化器5の等化出力14とするかの切換え器を表している。各部動作の詳細については後述する。

【0020】まず本実施例の波形等化チャネルの全体動作を図1を用いて説明する。本実施例の波形等化チャネルは、自動等化機能付き等化器4の最適特性を求めるモ

ード（以下、自動等化モードと記す）と、補正モードで得た最適特性による等化結果を等化出力11として出力するモード（以下、等化モードと記す）を備え、これらのモードは、自動等化モード制御信号15により制御される。

【0021】等化モード時は、切換え器8、切換え器9は自動等化機能付き等化器4の等化出力11をセレクトし、また、自動等化機能付き等化器4の自動等化機能動作は停止する。図1において、ヘッド106による読み出し信号10は可変利得アンプ1により増幅され、ローパスフィルタ2により信号の高域成分を取り除いた後、A/Dコンバータ3によりサンプリングを行い、ディジタル値に変換される。自動等化機能付き等化器4は、A/Dコンバータ3の出力値系列21を用いて波形等化を行い、等化出力11を出力する。

【0022】A/Dコンバータ3、自動等化機能付き等化器4、PLL制御回路6および電圧制御発振器12の4要素は位相同期ループを形成し、基準クロック13の位相が等化出力11に対して最適な位相となるよう動作する。

【0023】また、A/Dコンバータ3、自動等化機能付き等化器4、AGC制御回路7および可変利得アンプ1の4要素は自動利得制御ループを構成し、等化出力11が適正な振幅となるよう動作する。

【0024】自動等化モード時では、切換え器8、切換え器9は、AGC・PLL制御用等化器5の等化出力14をセレクトし、また、自動等化機能付き等化器4の自動等化機能は動作する。各部動作は前述した等化モードと同様であるが、位相同期ループおよび、自動利得制御ループの動作が異なる。すなわち、A/Dコンバータ3、AGC・PLL制御用等化器5、PLL制御回路6および電圧制御発振器12により構成される位相同期ループは、基準クロック13の位相が等化出力14に対して最適な位相となるよう動作する。また、A/Dコンバ

ータ3、AGC・PLL制御用等化器5、AGC制御回路7および可変利得アンプ1の4要素により構成される自動利得制御ループは等化出力14が適正な振幅となるよう動作する。

【0025】以上述べた各構成要素についてさらに詳述する。

【0026】図2に例示されるように、本実施例の自動等化機能付き等化器4は、FIR等化器4aと係数補正部4bにより構成される。なお、FIR等化器4aについては、以下では、簡単のため、一例として5タップを備えた構成として説明するが、本発明がタップ数に依存しないことは、言うまでもない。

【0027】図2において、16は1基本クロック分の遅延を行う遅延器、16aは、タップ係数h1～h5の各々と、各々の遅延器16の前後から取り出された入力信号（A/Dコンバータ3の出力値系列21）との乗算を行う乗算器、16bは、この乗算結果を加算して等化出力11として出力する加算器であり、これらによってFIR等化器4aが構成されている。

【0028】また、17は等化出力11に対して3値判定を行い判定結果（-1, 0, +1）に基づき期待値（-a, 0, +a）を出力する3値判定器、20は等化出力11の3値判定結果に対する誤差を算出する減算器、18は入力信号（A/Dコンバータ3の出力値系列21）と減算器20からの誤差算出結果との相関を取り、タップ係数補正量を算出する相関算出部、19は複数のタップ係数h1～h5をそれぞれ記憶する複数の係数メモリを示しており、これらによって係数補正部4bが構成されている。等化モードでは、係数補正部4bは動作せず係数メモリに格納されたタップ係数値により等化動作を行い、等化出力11を出力する。等化出力11は、次の（数1）により与えられる。

【0029】

【数1】

$$Y(t) = \sum_{n=1}^5 h_n \cdot X(t - nT) \quad \text{---- (数1)}$$

ただし  $Y(t)$  : 時刻tでの等化出力

$h_n$  : タップ係数

$X$  : 入力信号

$T$  : 1基本クロック周期

【0030】自動等化モードでは、係数補正部4bが動作し、自動等化機能付き等化器4の等化出力11と3値判定器17の出力との誤差（以下等化誤差と呼ぶ）の二乗平均が最小となるよう各々の係数メモリ19の値すなわちタップ係数値h1～h5が逐次補正される。ここで一回の補正動作は、各タップ係数に対する補正値を相関算出部18で減算器20の出力と入力信号系列（A/D

コンバータ3の出力値系列21）間の相関を求めることにより算出し、係数メモリ19の値に対して補正値を加算器27により加算し、新たなタップ係数値h1～h5として係数メモリ19に格納することにより完了する。この動作を繰り返し行うことにより等化誤差の二乗平均値が最小な等化特性を実現することができる。しかし、この前提条件として、A/Dコンバータ3（図1）がロ

ーパスフィルタ2の出力に対して常に同一タイミングでサンプリングするように基準クロック13の位相が安定であり、かつ、可変利得アンプ1のゲインが安定している必要がある。これらの条件を達成できない場合には、係数補正部4bでは正しい相関算出が行えない。この結果、係数補正動作が不安定となり等化誤差を小さくするような係数補正が実現できない。すなわち、自動等化モード時、PLL制御回路6およびAGC制御回路7を自動等化機能付き等化器4の等化出力11を用いて動作させると、自動等化機能付き等化器4の係数補正、位相同期ループ、および自動利得制御ループの間で干渉が発生するため自動等化機能付き等化器4は、等化誤差を小さくするような係数補正が実現できない。

【0031】以上の問題点を詳述する。タップ係数補正に伴って自動等化機能付き等化器4の等化特性が変化するため、等化出力11の波形および振幅が変化する。この場合、前述の位相同期ループは、等化出力11の波形に対し最適な基準クロック位相を得よう動作するため、等化出力11の波形変化に伴って基準クロック13の位相も変化する。同様にして、自動利得制御ループは、等化出力11の波形に対し最適な振幅を得よう動作するため、等化出力11の振幅変化に伴って可変利得アンプ1のゲインも変化する。このようにタップ係数補正動作と位相同期ループ、および自動利得制御ループ間には相関がありそれぞれの動作が干渉する。このためローパスフィルタ2（図1）の出力に対する基準クロック13の位相および可変利得アンプ1のゲインが安定しない。よって、このような構成では自動等化機能付き等化器4に対して最適な等化特性を得ることができない。

【0032】そこで、本実施例の場合には、自動等化モード時は、PLL制御回路6、およびAGC制御回路7は、等化特性が固定されているAGC・PLL制御用等化器5の等化出力14によって制御を行わせる。AGC・PLL制御用等化器5は固定の等化特性を有するので、タップ係数補正と位相同期ループ、および自動利得制御ループ間の相関は無い。よって位相同期ループおよび自動利得制御ループは安定に動作し、自動等化機能付き等化器4の自動等化モードにおけるタップ係数補正を

安定に行うことができる。

【0033】こうして、タップ係数補正が行われた自動等化機能付き等化器4においては、中央のタップのタップ係数値h3の前後のタップ係数値h1、h2およびタップ係数値h4、h5は、たとえば入力信号（A/Dコンバータ3の出力値系列21）の波形のピーク位置の前後の非対称性等に応じて最適に設定されるので、たとえばMRヘッド等からの再生信号のように波形がピーク位置の前後で非対称で、等化器入力位相的に変調を受けている場合でも、十分な等化特性を得ることが可能になる。換言すれば、波形等化チャンネルに接続されるMRヘッド等の特性のばらつきの影響を受けることなく、常に最適な波形等化を行わせることが可能となる。

【0034】なお、本実施例では、自動等化モードの完了後の等化モード時には、自動等化機能付き等化器4の等化出力11を用いてPLL制御回路6、およびAGC制御回路7を制御しているが、無論、等化モード時においても、AGC・PLL制御用等化器5の等化出力14を用いてPLL制御回路6およびAGC制御回路7を制御してもよい。

【0035】（実施例2）図3は、本発明の他の実施例である波形等化チャンネルの構成の一部を示す概念図である。前述の実施例1において述べた技術により、自動等化機能付き等化器4の係数補正を安定に行うことが可能であるが、この実施例2では、回路規模の削減を目的として、自動等化機能付き等化器4の複数のタップ係数h1～h5のうち1タップを1に固定する場合について説明する。

【0036】タップ係数が1ならば、該当タップについては乗算器16aが省略できる。等化特性は、（数1）を変形すれば、（数2）が成り立つことから、タップ係数が1に固定されたタップのタップ係数値h3（以下、正規化係数と記す）で他のタップ係数値を正規化し、この結果得られる等化出力に正規化係数を乗じることにより、等化特性は、すべてのタップ係数を可変とした場合と同一にすることができる。

【0037】

【数2】

$$\begin{aligned}
 Y(t) &= \sum_{n=1}^5 h_n \cdot X(t - nT) \\
 &= h_3 \left\{ \sum_{n=1}^2 \frac{h_n}{h_3} \cdot X(t - nT) + X(t - 3T) \right. \\
 &\quad \left. + \sum_{n=4}^5 \frac{h_n}{h_3} \cdot X(t - nT) \right\} \quad \text{---- (数2)}
 \end{aligned}$$

【0038】本実施例では、ただし、等化モード時に、（数2）において正規化係数h3を乗じる操作は、自動利得制御

ループにより自動的に補償されるので、正規化係数 $h_3$ で正規化しない場合と同一の等化出力11を得ることができる。しかし、自動等化モードでは、AGC制御回路7がAGC・PLL制御用等化器5により制御されるので自動利得制御ループによる補償が行われない。この結果、等化出力11の振幅は正規化係数 $h_3$ を乗じた場合と異なるので、係数補正部4bにおける3値判定器17の判定結果、および等化誤差算出結果（減算器20出力）を正しく求めることができない。この場合、スレッシュホールド22および判定値振幅23（図2）を等化出力11の振幅が正規化係数 $h_3$ を乗じた場合と異なる分だけ補正することが考えられる。しかし、係数補正動作にともない等化出力11の振幅も変動するので、係数補正部4bにおける3値判定器17の判定結果、および等化誤差算出結果（減算器20出力）を正しく求めることは困難となる。よって等化誤差を小さくできない。この問題は、係数補正部4bを図3に示す如き回路構成とすることにより大きな回路量増加を伴うことなく回避することができる。

【0039】図3においては、図2の構成に対し、タップ係数値 $h_3$ を格納する係数メモリ19が省略され、代わりに3値判定メモリ24および、平均化回路25が追加され、また、3値判定メモリ24の出力から3値判定器17のスレッシュホールド22を生成するスレッシュホールド算出手段26が追加されている。本実施例2の構成では、係数補正により変動する等化出力11の振幅に対して、係数補正部4bにおける3値判定器17の判定結果を適応的に変更することにより、等化誤差算出結果の誤差を低減するよう動作する。この結果、タップ係数値 $h_3$ を1に固定しない場合と全く同一の係数補正動作を行うものではないが、安定な係数補正動作を行うことができる。また、平均化回路25は簡易なものでよく、スレッシュホールド算出手段26は、ビットシフトで実現できるので $h_3$ 乗算のための乗算器16aを設けるよりも回路量を少なくできる。

【0040】すなわち、より小さな回路規模で、タップ係数を非対称化した場合においても安定に最適等化特性を得ることが可能な波形等化チャネルを実現できる。

【0041】（実施例3）図4は、本発明のさらに他の実施例である波形等化チャネルの構成の一部を示す概念図である。前述の問題は前記実施例2の図3の構成の他に、図4に示す如き本実施例3の構成によっても等化誤差算出結果の誤差を補償することが可能である。図4においては、係数補正部4bの構成は、図3とほぼ同様であり、図2に対し、タップ係数値 $h_3$ を格納する係数メモリ19が省略され、代わりに目標振幅メモリ28および平均化回路25が追加されている。目標振幅メモリ28の出力である目標振幅値29は、AGC制御回路7（図4、図1）に入力され、自動利得制御に於ける目標振幅値が補正される。本構成では、係数補正により変動

する等化出力11振幅に対して、自動利得制御における目標振幅を適応的に変更するため、等化出力11の変動分は、可変利得アンプ1の利得調整により補償されることがとなり、等化誤差算出結果の誤差を低減するよう動作する。

【0042】この実施例3の場合にも、より小さな回路規模で、タップ係数を非対称化した場合においても安定に最適等化特性を得ることが可能な波形等化チャネルを実現できる。

【0043】なお、上記した特許請求の範囲に記載されたもの以外の本発明の特徴を列挙すれば以下の通りである。

【0044】すなわち、前記第1の等化器における等化特性を入力信号に応じて自動的に決定する自動等化操作を行う際に、前記第2の等化器からの等化出力を用いて前記自動利得制御ループおよび前記位相同期ループの制御を行い、自動等化操作の完了後は、前記第1の等化器からの等化出力を用いて前記自動利得制御ループおよび前記位相同期ループの制御を行うことができる。

【0045】また、自動等化機能を有する第1の等化器と、自動利得制御ループと、位相同期ループとを含む波形等化チャネルを備えたデータファイル装置において、前記波形等化チャネル内に、固定の等化特性を有する第2の等化器を備え、前記自動利得制御ループおよび前記位相同期ループの制御を前記第2の等化器からの等化出力を用いて行うようにしてもよい。

【0046】また、前記データファイル装置において、前記第1の等化器は、各々の係数値を変更することが可能な複数のタップを備えたFIR等化器と、複数の前記タップの各々に設定される前記係数値を算出する係数補正部とからなり、複数の前記タップの一つにおける前記係数値を固定し、前記係数補正部は、係数値が固定された前記タップに対する係数補正値を用いて等化出力の期待値に対する補正を行うことにより、前記係数値が可変な他の前記タップに設定すべき係数補正値を決定して自動等化を行うようにしてもよい。

【0047】また、前記データファイル装置において、前記第1の等化器は、各々の係数値を変更することが可能な複数のタップを備えたFIR等化器と、複数の前記タップの各々に設定される前記係数値を算出する係数補正部とからなり、複数の前記タップの一つにおける前記係数値を固定し、前記係数補正部は、係数値が固定された前記タップに対する係数補正値を用いて前記自動利得制御ループの目標振幅に対する補正を行うことにより、前記係数値が可変な他の前記タップに設定すべき係数補正値を決定して自動等化を行うようにしてもよい。

【0048】また、前記データファイル装置において、第1の等化器における等化特性を入力信号に応じて自動的に決定する自動等化操作を行う際に、第2の等化器からの等化出力を用いて自動利得制御ループおよび位相同



期ループの制御を行い、自動等化操作の完了後は、第1の等化器からの等化出力を用いて自動利得制御ループおよび位相同期ループの制御を行うことができる。

【0049】

【発明の効果】本発明の波形等化チャネルによれば、タップ係数を非対称化した場合においても安定に最適等化特性を得ることができる、という効果が得られる。また、自動等化における安定な係数補正動作をより少ない回路規模で実現することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例である波形等化チャネルの構成の一例を示す概念図である。

【図2】その一部の構成をさらに詳細に例示した概念図である。

【図3】本発明の他の実施例である波形等化チャネルの構成の一部を示す概念図である。

【図4】本発明のさらに他の実施例である波形等化チャネルの構成の一部を示す概念図である。

【図5】本発明の一実施例である波形等化チャネルを備

えたデータファイル装置の側断面である。

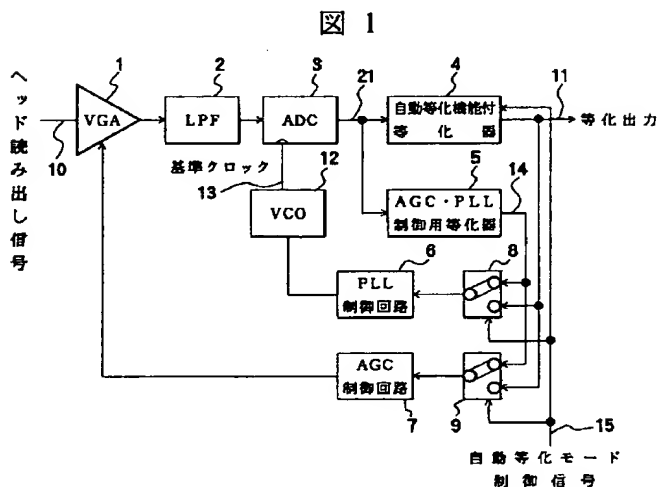
【図6】その平衡面図である。

【図7】従来の磁気ディスク装置の波形等化チャネルの構成の一例を示す概念図である。

【符号の説明】

1…可変利得アンプ、2…ローパスフィルタ、3…A/Dコンバータ、4…自動等化機能付き等化器（第1の等化器）、4a…FIR等化器、4b…係数補正部、5…AGC・PLL制御用等化器（第2の等化器）、6…PLL制御回路、7…AGC制御回路、8、9…切換え器、10…読み出し信号、11…等化出力、12…電圧制御発振器、13…基準クロック、14…等化出力、15…自動等化モード制御信号、16…遅延器、16a…乗算器、16b…加算器、17…3値判定器、18…相関算出部、19…係数メモリ、20…減算器、21…A/Dコンバータ3の出力値系列、22…スレッシュホールド、23…判定値振幅、24…3値判定メモリ、25…平均化回路、26…スレッシュホールド算出手段、27…加算器、28…目標振幅メモリ、29…目標振幅値

【図1】



【図6】

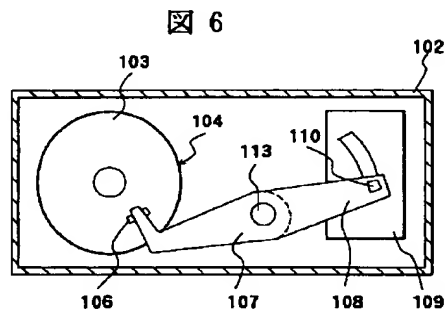
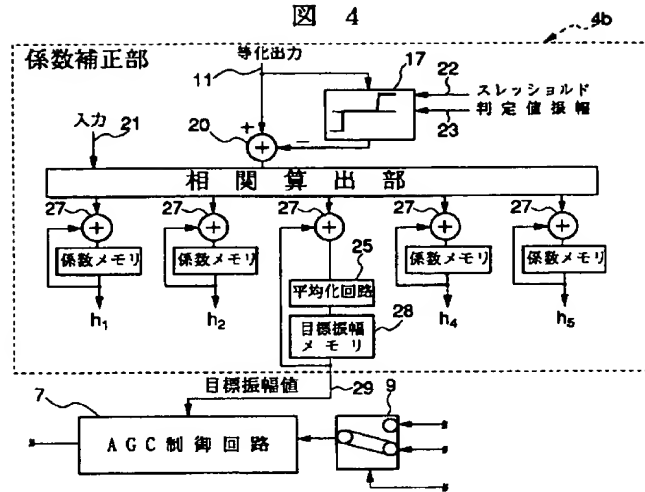


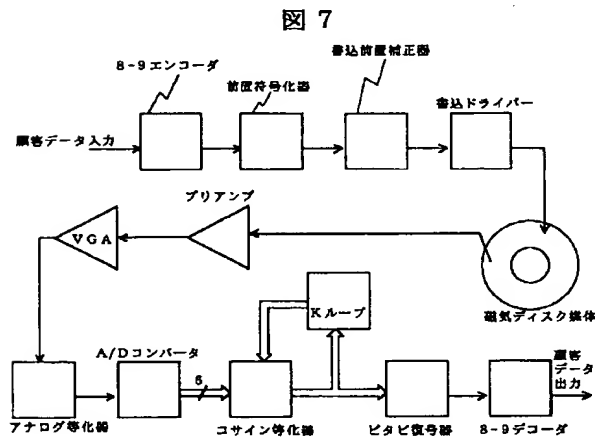
图 2



【図4】



【図7】



フロントページの続き

(72)発明者 大内 康英  
神奈川県小田原市国府津2880番地 株式会  
社日立製作所ストレージシステム事業部内

(72)発明者 佐藤 直喜  
神奈川県小田原市国府津2880番地 株式会  
社日立製作所ストレージシステム事業部内  
(72)発明者 高師 輝実  
神奈川県小田原市国府津2880番地 株式会  
社日立製作所ストレージシステム事業部内